

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07161192 A**(43) Date of publication of application: **23 . 06 . 95**

(51) Int. Cl.

G11C 11/418
G11C 11/419
H01L 21/8244
H01L 27/11

(21) Application number: **05304281**(71) Applicant: **SHARP CORP**(22) Date of filing: **03 . 12 . 93**(72) Inventor: **YOSHIDA MAKOTO**

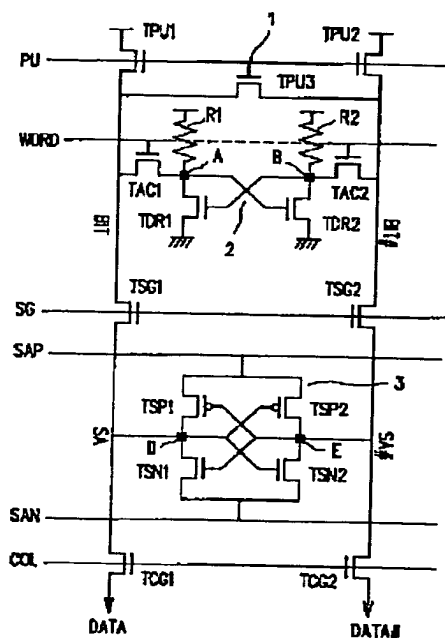
(54) MOS STATIC MEMORY

(57) Abstract:

PURPOSE: To reduce an area and power consumption.

CONSTITUTION: Transfer gates TSG1, TSG2 are respectively provided between a bit line BIT, a bit bar line BIT# and both ends of a sense amplifier 3. Thus, at the time of sensing a read, the line BIT, the line BIT# and the amplifier 3 are separated by the gates TSG1, TSG2 to prevent the line BIT and the line BIT# from fully swinging. In this case, the lines BIT and BIT# are regarded as being slightly at a potential difference by a memory cell, and almost no charge and discharge current flow.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-161192

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.⁶

識別記号

F I

G11C 11/418

11/419

H01L 21/8244

27/11

G11C 11/34

301

B

審査請求 未請求 請求項の数 2 O L (全7頁) 最終頁に続く

(21)出願番号 特願平5-304281

(22)出願日 平成5年(1993)12月3日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 吉田 真

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

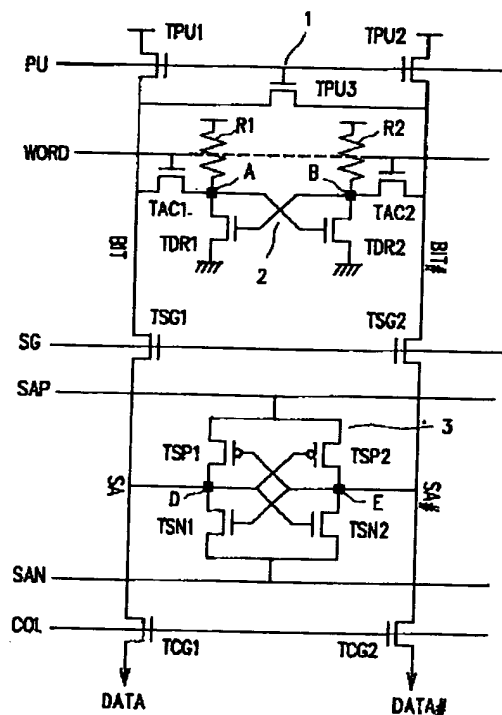
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 MOS型スタティックメモリ装置

(57)【要約】

【目的】 小面積で低消費電力とする。

【構成】 ビット線BITおよびビットバー線BIT#とセンスアンプ3の両端部との間にトランスファークラップTSG1, TSG2をそれぞれ設けることにより、リードセンス時に、ビット線BITおよびビットバー線BIT#とセンスアンプ3とをトランスファークラップTSG1, TSG2で分離して、ビット線およびビットバー線BIT#がフルスイングすることを防いでいる。この時、ビット線BITおよびビットバー線BIT#はメモリセル2によりわずかに電位差が生じているのみでほとんど充放電電流は流れない。



【特許請求の範囲】

【請求項 1】 メモリセルが接続されるビット線およびビットバー線のビット線ペア毎にセンスアンプを設け、該センスアンプの両端部とビット線およびビットバー線との間にそれぞれ第 1 のトランスファークゲートをそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第 2 のトランスファークゲートをそれぞれ設けた MOS 型スタティックメモリ装置。

【請求項 2】 メモリセルが接続されるビット線およびビットバー線のビット線ペア毎にセンスアンプを設け、該センスアンプの両端部とビット線およびビットバー線との間にそれぞれ、オン抵抗の低い第 1 のトランスファークゲートとオン抵抗の高い第 2 のトランスファークゲートとの並列回路をそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第 3 のトランスファークゲートをそれぞれ設けた MOS 型スタティックメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、書き込み、読みだし回路を有する MOS 型スタティックメモリ装置に関する。

【0002】

【従来の技術】 近年、SRAM が 1M、4M、16M と大容量化するに従い、チップサイズが大きくなるため、データを伝送する配線が長くなってデータ伝送時間が長くなるようになってきた。データの伝送時間を短縮するため、これらの大容量 SRAM ではメモリアレー近辺にローカルセンスアンプにより増幅し外部に出力している。このような SRAM の一例として、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, NO. 5, OCTOBER 1990 1075-1081" A 23-ns 4-Mb CMOS SRAM with 0.2 μ A Standby Current" (以下、資料 1 という) に、メモリアレー近辺に置かれるローカルセンスアンプとして 16 個のトランジスタを組み合わせた例が示されている。

【0003】 また、SRAM の動作電圧の低下、大容量化に伴う浮遊容量によるビット線間干渉の増大によりメモリセル内に記憶されていた情報が破壊されやすくなっている。以下、この現象をメモリ破壊と称する。このようなメモリ破壊を防ぐ手段として、公開特許公報 S 63-128662 (以下、資料 2 という) によれば、フリップフロップ型センスアンプによりビット線上に生じたわずかな電位差を再生し、データを再書込することによりデータ破壊を防いでいる。さらに、このセンスアンプはわずか 6 個のトランジスタで構成されている。

【0004】

【発明が解決しようとする課題】 しかし、上記従来のメ

モリ装置では、ローカルにセンスアンプを置くことはすべてのメモリアレーの一辺にセンスアンプを置くことになり、大きな面積を必要とする。資料 1 における 4-Mb SRAM chip を図 3 に示す。図 3 を見るとローカルセンスアンプ (SENSE AMPLIFIER) にかなりの面積を必要としており、全体の約 4% を占めている。この点、上述した資料 2 のフリップフロップ型センスアンプは 6 素子で構成され、その内の 2 素子はまとめることができ、面積上かなり資料 1 に比べると有利である。しかし、このフリップフロップ型センスアンプによりビット線電位を再生するとビット線がフルスウィングし、ビット線の充放電電流は非常に大きなものとなる。その大きさはビット線容量 (C) を、例えば 3 pF、1 秒当りの充放電回数すなわち動作周波数 (F) を 10 MHz、ビット線の電圧変化巾 (V) を 3.3 V、同時に動作するビット線ペア数 (N) を 128 とすると、電流 (I) は

$$I = C \times V \times F \times N \\ = 3 \times 10^{-11} \times 3.3 \times 10 \times 10^6 \times 128 \\ = 12.7 \text{ mA}$$

と見積られ、大きな電流が流れることになる。

【0005】 本発明は、上記従来の問題を解決するもので、小面積で低消費電力であるセンスアンプを用いた MOS 型スタティックメモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明の MOS 型スタティックメモリ装置は、メモリセルが接続されるビット線およびビットバー線のビット線ペア毎にセンスアンプを設け、該センスアンプの両端部とビット線およびビットバー線との間にそれぞれ第 1 のトランスファークゲートをそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第 2 のトランスファークゲートをそれぞれ設けたものであり、そのことにより上記目的が達成される。

【0007】 また、本発明の MOS 型スタティックメモリ装置は、メモリセルが接続されるビット線およびビットバー線のビット線ペア毎にセンスアンプを設け、該センスアンプの両端部とビット線およびビットバー線との間にそれぞれ、オン抵抗の低い第 1 のトランスファークゲートとオン抵抗の高い第 2 のトランスファークゲートとの並列回路をそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第 3 のトランスファークゲートをそれぞれ設けたものであり、そのことにより上記目的が達成される。

【0008】

【作用】 上記請求項 1 の構成により、リード時には、まず、ビット線およびビットバー線にメモリセル内にストレージされていたデータに応じた電位差が生じ、この時、ビット線およびビットバー線とセンスアンプとの間

の第1のトランスファークロスを開いておき、センスアンプはまだセンスをスタートさせない。しばらく時間が経過した後、センスアンプの両端部にセンスするのに十分な電位差が生じた時、ビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスを閉じ、センスアンプのセンスをスタートさせる。そして、センスが終了しセンスアンプの両端部に大きな電位差が生じたところで第2のトランスファークロスを開き、データバスおよびデータバーバスとにデータを乗せる。このように、ビット線およびビットバー線とセンスアンプとの間に第1のトランスファークロスを設けているので、リードセンス時にビット線およびビットバー線とセンスアンプとを第1のトランスファークロスで分離し、ビット線が大きく振幅することを防いでいる。従って、この1連の動作でビット線およびビットバー線はメモリセルによりわずかに電位差が生じているのみでほとんど充放電電流は流れない。

【0009】また、ライト時には、このセンスアンプを使わなくてもデータバスおよびデータバーバスをフルスウィングさせてビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスおよび第2のトランスファークロスを同時に開ければ書き込むことができるが、しかし、センスアンプを動作させることにより、より早くより低消費電力で書き込むことができる。この書き込み時には、まず、データバスおよびデータバーバスはフルスウィングさせず、データに応じたわずかな電位差を乗せ、第2のトランスファークロスを開き、センスアンプの両端部にデータを送り込む。次に、センスアンプの両端部にセンスするのに十分な電位差が送られた時点で、第2のトランスファークロスを閉じ、センスアンプをスタートさせる。センスアンプの両端部に充分大きな電位差がセンスできた時点で、ビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスをそれぞれ開き、ビット線およびビットバー線をドライブしてメモリセルに書き込みを行う。このように、データバスおよびデータバーバスを大振幅させないので、より早くより低消費電力で書き込むことができる。

【0010】次に、請求項2の構成により、リード時、まず、ビット線およびビットバー線にメモリセル内にストレージされていたデータに応じた電位差が生じ、この時、オン抵抗の低い、ビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスはそれぞれ開いておき、センスアンプはまだセンスをスタートさせない。この時点では、オン抵抗の高い第2のトランスファークロスを開けても閉じていても良い。しばらく時間が経過した後、センスアンプの両端部にセンスするのに十分な電位差が生じた時、ビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスをそれぞれ閉じ、ビット線およびビットバー線とセンスアンプとの間の第2のトランスファークロスを開け、センスアンプのセンスをスタートさせる。さらに、センスが終了してセンスアンプの両端部に大きな電位差が生じたところで第3のトランスファークロスを開き、データバスおよびデータバーバスにデータを乗せる。この1連の動作で、ビット線およびビットバー線は低インピーダンスのセンスアンプで駆動されるので、メモリ破壊に対しても耐性がある。即ち、ビット線およびビットバー線を弱いながらもオン抵抗が高いながらも第2のトランスファークロスを介してセンスアンプで駆動し、即ち、第2のトランスファークロスをオンさせてビット線がセンスアンプにより弱く支えられるようにしているので、請求項1の構成に比べるとビット線およびビットバー線の振幅が多少は大きくなり消費電力も多少は大きくなるが、メモリ破壊に対して耐性がある。

【0011】また、ライト動作は請求項1の構成の場合と同様に、このセンスアンプを使わなくても、データバスおよびデータバーバスをフルスウィングさせてビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロス、第3のトランスファークロスを同時に開ければ書き込むことができるが、しかし、センスアンプを動作させることにより、より早くより低消費電力で書き込むことができる。この書き込み時に、まず、データバスおよびデータバーバスはフルスウィングさせず、データに応じてわずかな電位差を乗せ、第3のトランスファークロスを開き、センスアンプの両端部にデータを送り込む。次に、センスアンプの両端部にセンスするのに十分な電位差が送られた時点で、第3のトランスファークロスを閉じ、センスアンプをスタートさせる。センスアンプの両端部に充分大きな電位差がセンスできた時点で、ビット線およびビットバー線とセンスアンプとの間の第1のトランスファークロスを開き、ビット線およびビットバー線をドライブしてメモリセルにデータの書き込みを行う。このように、データバスおよびデータバーバスを大振幅させないので、より早くより低消費電力で書き込むことができる。

【0012】さらに、ライトビット線の隣接リードビット線に対する干渉に対しても強い耐性を示す。書き込みを行っているビット線の隣のビット線はリード状態にあるが、従来であるとビット線をささえているのはメモリセルとビット線プルアップによってである。このため、ローレベルを支えているのは、メモリセルのみで、場合によってはメモリ破壊を起こしていた。請求項2の構成では、センスアンプによってもローレベルに引いているので干渉に対しても強い耐性を示す。

【0013】

【実施例】以下、本発明の実施例について説明する。

【0014】図1は本発明の第1の実施例を示すMOS型スタティックメモリ装置の回路図である。図1において、プリチャージ回路1は3個のトランジスタTPU1

5
 ～TPU3からなり、プリチャージ信号PUによって制御される。メモリセル2は、抵抗R1とトランジスタTDR1の接続点AがトランジスタTDR2のゲートに接続され、また、抵抗R2とトランジスタTDR2の接続点BがトランジスタTDR1のゲートに接続され、トランジスタTDR1、TDR2をドライバーとするフリップフロップと、ビット線BITと接続点Aの間、ビットバー線BIT#と接続点Bの間にそれぞれ設けられ、それぞれのゲートがワード線WORDに接続されたアクセストランジスタTAC1、TAC2とから構成されている。10
 センスアンプ3は、2個のNMOSTランジスタTSN1、TSN2と2個のPMOSTランジスタTSP1、TSP2で構成されている。トランジスタTSN1のドレインはセンス線SAを介してビット線BIT側のトランスファークゲートTSG1に、そのゲートはセンスバー線SA#を介してビットバー線BIT#側のトランスファークゲートTSG2に、そのソースはセンス制御線SANに接続されている。トランジスタTSN2のドレインはセンスバー線SA#を介してビットバー線BIT#側のトランスファークゲートTSG2に、そのゲートはセン20
 ス線SAを介してビット線BIT側のトランスファークゲートTSG1に、そのソースはセンス制御線SANに接続されている。トランジスタTSP1のドレインはセンス線SAを介してビット線BIT側のトランスファークゲートTSG1に、そのゲートはセンスバー線SA#を介してビットバー線BIT#側のトランスファークゲートTSG2に、そのソースはセンス制御線SAPに接続されている。さらに、トランジスタTSP2のドレインはセンスバー線SA#を介してビットバー線BIT#側のトランスファークゲートTSG2に、そのゲートはセンス線SAを介してビット線BIT側のトランスファークゲートTSG1に、そのソースはセンス制御線SAPに接続されている。ビット線BIT側のトランスファークゲートTSG1は、センス線SA、カラムトランスファークゲートTCG1を介してデータバスDATAに接続されている。また、ビットバー線BIT#側のトランスファークゲートTSG2は、センスバー線SA#、カラムトランスファークゲートTCG2を介してデータバーバスDATA#に接続されている。これらトランジスタTSP1、TSN1の接続線Dはセンスアンプ3の一方端部を示し、また、トランジスタTSP2、TSN2の接続線Eはセンスアンプ3の他方端部を示している。さらに、制御線SGはトランスファークゲートTSG1、TSG2のゲートにそれぞれ接続され、制御線COLはカラムトランスファークゲートTCG1、TCG2のゲートにそれぞれ接続されている。

【0015】上記構成により、リード時、まず、ワード線WORDの電位が V_{cc} に上昇し、アクセストランジスタTAC1、TAC2が開き、ビット線BITおよびビットバー線BIT#にメモリセル2内にストレージされてい50

たデータに応じた電位差が生じる。この時、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSG1、TSG2はそれぞれ開いておき、センス制御線SAP、SANおよびセンス線SA、SA#の電位を $1/2 V_{cc}$ にセットする。ここで、センスアンプ3は、まだセンスをスタートさせない。しばらく時間が経過した後、センスアンプ3の両端のセンス線SA、SA#にセンスするのに十分な電位差が生じた時、ラインSGの電位をGNDに下げて、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSG1、TSG2をそれぞれ閉じ、センス制御線SAPの電位を V_{cc} に、センス制御線SANの電位をGNDに引いてセンスアンプ3のセンスをスタートさせる。この時、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSG1、TSG2がそれぞれ閉じているために、ビット線BITおよびビットバー線BIT#の電位はメモリセル2により生じた電位差のままである。さらに、センスアンプ3によるセンスが終了し、センスアンプ3の両端部のセンス線SA、SA#に大きな電位差が生じたところで、カラムトランスファークゲートTCG1、TCG2をそれぞれ開き、データバスDATAおよびデータバーバスDATA#にデータをそれぞれ乗せる。

【0016】以上の1連の動作で、ビット線BITおよびビットバー線BIT#はメモリセル2によりわずかに電位差が生じているのみで、ほとんど充放電電流は流れない。ただし、ビット線BITおよびビットバー線BIT#は低インピーダンスのもとで駆動されることはない。30
 ので、メモリ破壊に対しては、効果を及ぼしていない。したがって、セルレシオを大きめに取ったり、メモリセル2自体にメモリ破壊に対して耐性を持たせたり、またはビット線プルアップをリード期間中にオンさせるなどの、メモリ破壊に対する対策を打つ必要がある。

【0017】また、ライト時には、このセンスアンプ3を使わなくても、データバスDATAおよびデータバーバスDATA#をフルスイングさせ、ビット線BITおよびビットバー線BIT#とセンスアンプとの間のトランスファークゲートTSG1、TSG2さらにカラムトランスファークゲートTCG1、TCG2を同時に開ければ書き込むことができるが、しかし、センスアンプ3を動作させることにより、より早くより低消費電力で書き込むことができる。つまり、この書き込み時に、まず、データバスDATAおよびデータバーバスDATA#はフルスイングさせず、データに応じたわずかな電位差を乗せ、カラムトランスファークゲートTCG1、TCG2をそれぞれ開き、センスアンプ3両端のセンス線SAおよびセンスバー線SA#にデータをそれぞれ送り込む。次に、センスアンプ3の両端部のセンス線SAおよびセンスバー線SA#にセンスするのに十分な電位差が送り

込まれた時点で、カラムトランスファークゲートTCG 1, TCG 2をそれぞれ閉じ、センス制御線SAPの電位を V_{cc} に、センス制御線SANの電位をGNDに引いてセンスアンプ3のセンスをスタートさせる。このセンスアンプ3の両端に充分大きな電位差がセンスできた時点で、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSG 1, TSG 2をそれぞれ開き、ビット線BITおよびビットバー線BIT#をドライブしてメモリセル2に書き込みを行う。このように、データバスDATAおよびデータ

【0018】図2は本発明の第2の実施例を示すMOS型スタティックメモリ装置の回路図である。図2において、図1のMOS型スタティックメモリ装置との相違点は、図1のトランスファークゲートTSG 1, TSG 2のそれぞれにオン抵抗のやや高いトランスファークゲートTSS 1, TSS 2をそれぞれ並列に付加し、リードセンス時に、このトランスファークゲートTSS 1, TSS 2をオンさせてビット線BITおよびビットバー線BIT

【0019】即ち、ビット線BITおよびビットバー線BIT#のペア毎にセンスアンプ3を設け、このセンスアンプ3の両端部は、並列接続されたオン抵抗の低いトランスファークゲートTSL 1とオン抵抗のやや高いトランスファークゲートTSS 1とを介してビット線BITに接続され、また、並列接続されたオン抵抗の低いトランスファークゲートTSL 2とオン抵抗のやや高いトランスファークゲートTSS 2とを介してビットバー線BIT#

S 1, TSS 2をそれぞれ開け、センス制御線SAPの電位を V_{cc} に、センス制御線SANの電位をGNDに引いてセンスアンプ3のセンスをスタートさせる。さらに、センスが終了してセンスアンプ3の両端部に大きな電位差が生じたところで、カラムトランスファークゲートTCG 1, TCG 2をそれぞれ開き、データバスDATAおよびデータバーバスDATA#にデータをそれぞれ乗せる。

【0020】以上の1連の動作でビット線BITおよびビットバー線BIT#は低インピーダンスのセンスアンプ3で駆動されるので、メモリ破壊に対して耐性がある。しかし、ビット線BITおよびビットバー線BIT#を弱いながらもオン抵抗が高いトランスファークゲートTSS 1, TSS 2をそれぞれ介してセンスアンプ3で駆動するので、図1の構成のものに比べて、ビット線BITおよびビットバー線BIT#の振幅が多少大きくなるので消費電力も多少大きくなる。

【0021】また、ライト動作は、図1の場合と同様に、このセンスアンプ3を使わなくてもデータバスDATAおよびデータバーバスDATA#をフルスウィングさせ、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSL 1, TSL 2さらにカラムトランスファークゲートTCG 1, TCG 2を同時に開ければデータを書き込むことができるが、しかし、センスアンプ3を動作させることにより、より早くより低消費電力でデータを書き込むことができる。この書き込み時に、まず、データバスDATAおよびデータバーバスDATA#はフルスウィングさせず、データに応じたわずかな電位差を乗せ、カラムトランスファークゲートTCG 1, TCG 2をそれぞれ開き、センスアンプ3の両端部のセンス線SAおよびセンスバー線SA#にデータをそれぞれ送り込む。次に、センスアンプ3の両端部にセンスするに充分な電位差が送り込まれた時点で、カラムトランスファークゲートTCG 1, TCG 2をそれぞれ閉じ、センス制御線SAPの電位を V_{cc} に、センス制御線SANの電位をGNDに引き、センスアンプ3をスタートさせる。センスアンプ3の両端部に充分大きな電位差がセンスできた時点で、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランスファークゲートTSL 1, TSL 2をそれぞれ開き、ビット線BITおよびビットバー線BIT#をドライブしてメモリセル2にデータの書き込みを行う。このように、データバスDATAおよびデータバーバスDATA#を大振幅させないので、より早くより低消費電力でデータを書き込むことができる。

【0022】さらに、ライトビット線の隣接リードビット線に対する干渉に対しても強い耐性を示す。書き込みを行っているビット線の隣のビット線はリード状態にあるが、従来では、ビット線を支えているのはメモリセルとビット線プルアップによってである。このため、ロー

レベルを支えているのは、メモリセルのみで、場合によってはメモリ破壊を起こしていた。この第2の実施例ではセンスアンプ3によってもローレベルに引いているので干渉に対しても強い耐性を示す。

【0023】

【発明の効果】以上により本発明によれば、ビット線およびビットバー線とセンスアンプとの間に第1のトランスファークゲートを設けることにより、ビット線およびビットバー線を第1のトランスファークゲートで分離してビット線が大振幅することを防いでいるため、小面積で低消費電力のセンスアンプを得ることができる。

【0024】また、センスアンプの両端部とビット線およびビットバー線との間にそれぞれ、オン抵抗の低い第1のトランスファークゲートとオン抵抗の高い第2のトランスファークゲートとの並列回路をそれぞれ設けることにより、第2のトランスファークゲートをオンさせてビット線がセンスアンプにより弱く支えられるようにしているため、小面積でビット線干渉に強いセンスアンプを得る

ことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すMOS型スタティックメモリ装置の回路図である。

【図2】本発明の第2の実施例を示すMOS型スタティックメモリ装置の回路図である。

【図3】従来の資料1における4-Mb SRAM chipを示す図である。

【符号の説明】

2 メモリセル

3 センスアンプ

TSG1, TSG2, TSL1, TSL2, TSS1,

TSS2 トランスファークゲート

TCG1, TCG2 カラムトランスファークゲート

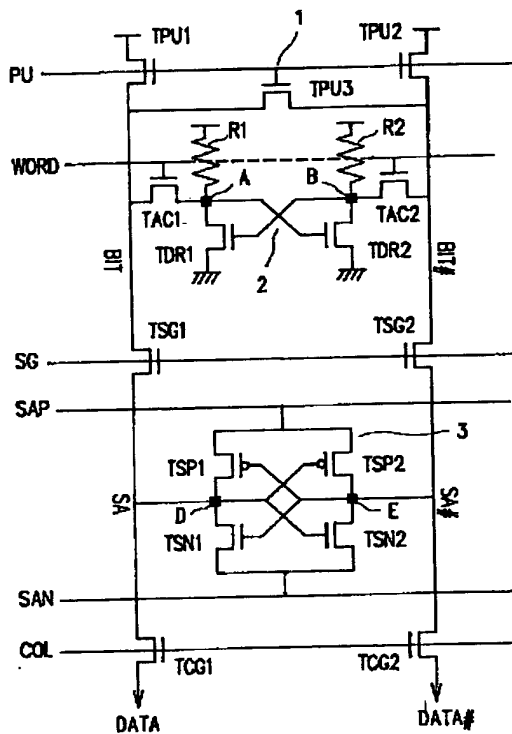
BIT ビット線

BIT# ビットバー線

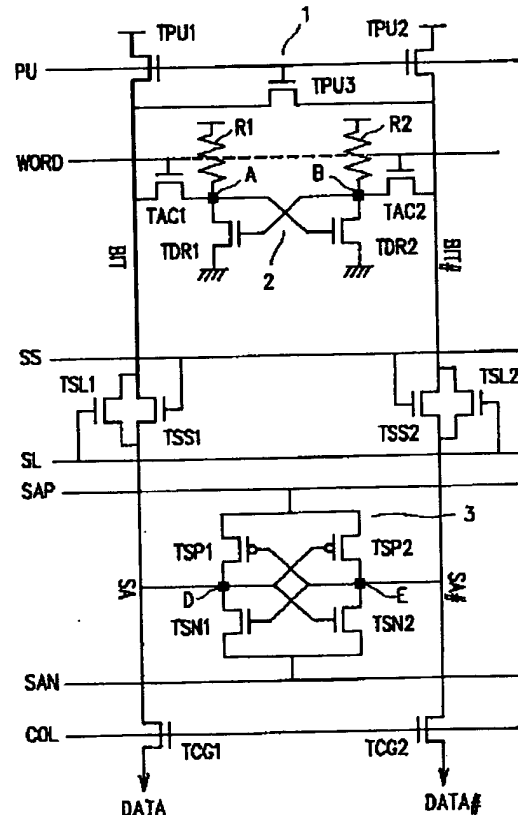
DATA データバス

DATA# データバーバス

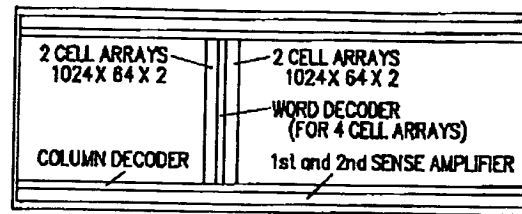
【図1】



【図2】



【図 3】



4-Mb SRAM chip.

フロントページの続き(51)Int.Cl.⁶

識別記号

F I

7210-4M

H01L 27/10

311

381

